

面向近亚阈值的标准单元库设计方法

商新超¹,袁 甲²,张福海¹

(1 南开大学 电子与光学工程学院,天津 300071;2 中国科学院 微电子研究所,北京 100029)

摘 要: 由于商用标准单元无法支持在极低电压下工作,为使数字电路能够工作其最优能耗点,采用 smic130 nm CMOS 工艺,对近/亚阈值电压下标准单元库的设计方法展开研究,定制了近/亚阈值的标准单元库.测试结果显示,所有库单元能够正常工作的电源电压低于 90 mV.为了进一步验证定制标准单元库的稳定性,我们提出了一个 4×8 的 FIR 滤波器,测试芯片选择了 130 nm 的 CMOS 工艺进行流片,测试结果显示时钟频率为 100 Hz 时,最低能耗点的工作电压为 0.25 V,能耗是 150 nJ/cycle,芯片的最低工作电压为 0.18 V.

关键词: 最低能耗;标准单元库;最优工作电压

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)03-0011-04

The Design Method of Sub-threshold Standard Cell Library

SHANG Xin-chao¹, YUAN Jia², ZHANG Fu-hai¹

(1 School of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Because of commercial standard cell library can't operate at ultra low supply voltages, in order to make the digital circuits operate at the minimum energy point, we selected 130 nm CMOS technology and investigated the design method of Sub-threshold standard cell library. Measurements show that all of the cells in the library operate at voltage below 90 mv. In order to father validate the stability of sub-threshold standard cell library, We presented an 4×8 process FIR filter, a test chip has been implemented in a selected 130 nm CMOS technology, and measurements show that the minimum energy operating point is at 0.25 V, consuming 150 nJ with the clock frequency of 100 Hz, the minimum voltage supply for the chip is 0.18 V.

Key words: minimum energy; standard cell library; optimum supply voltage

1 引言

在大量的无线传感节点应用中,数据处理的时间间隔很长,电路对性能要求极低,能耗成为系统设计的主要目标.最优能耗点^[1-2]一般处在近亚阈值工作电压,商用库单元在极低电压下无法正常工作.因此,为保证电路的电源电压可以进一步降低,支持数字电路工作在最优能耗点,必须面向近/亚阈值电压定制标准单元库^[3].

2 商用标准单元库稳定性评价

对 smic130 nm CMOS 标准单元库的单元分别

进行稳定性评价,可以得到所有库单元的最低工作电压,如图 1 所示.从图中能够看出,标准单元库中的不同单元,可接受的最低工作电压各不相同.为保证标准单元库的稳定性,就必须保证标准单元库中的每一个单元都能够正常工作.因此,标准单元库所能接受的最低工作电压,就是汇总每个库单元的最低工作电压,然后取其最大值.

经过以上分析,我们可知,smic130 nm CMOS 标准单元库的可接受的最低工作电压是 0.5 V.这样,如果不考虑系统性能,而仅从稳定性角度考虑,则采用该单元库进行系统设计的电压调节范围为 0.5 ~

1.2 V.

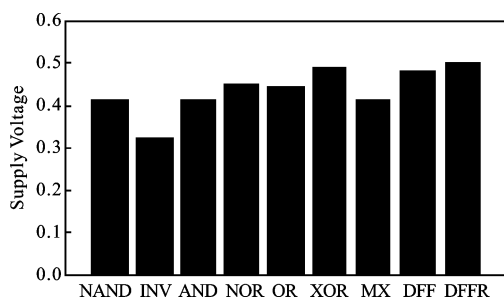


图1 smic130 nm CMOS 标准单元库的最低工作电压

3 标准单元库设计

采用 smic130 nm CMOS 工艺,对近/亚阈值工作电压的标准单元库设计方法展开研究,围绕目标电压的确定、库单元类型的选择、电路结构的选择、晶体管的尺寸设计以及标准单元库的版图设计规则等重要问题,给出了近/亚阈值标准单元库的设计流程。

3.1 目标电压的确定

标准单元库目标电压的设置要能够满足各类电路对电压范围的要求,使得电路系统能够工作在自身的最优能耗点。传统的确定方法,并没有考虑库单元的稳定性因素。为保证稳定性,库单元的尺寸会随着目标电压的下降而增加。为保证 50 mV 噪声容限,随着目标电压降低,库单元的尺寸在迅速增加,这会反过来导致电路的能耗增加。因此,将这种尺寸变化引入到最优能耗点评价电路中,就会形成新的目标电压确定方法。引入稳定性对库单元尺寸的要求之后,采用由 10 条振荡链路组成,每条链路都是由 101 级的与非门搭建而成,受相应的 select 信号来控制的评价电路进行 hspice 仿真。电路最优能耗点随目标电压的变化趋势如图 2 所示。由图中可以看出,按照这种方式确定的最优目标电压为 0.30 V。

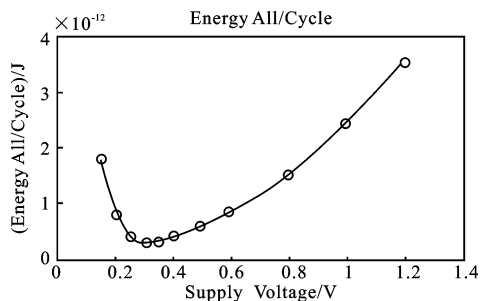


图2 电路最优能耗点随目标电压的变化趋势

3.2 库单元的种类选择

在标准单元库设计中,库单元的种类和数量直接影响着综合工具在映射和优化过程的有效性。库单元的种类越丰富,在综合过程中,电路的优化就越充分。因此,在面向近/亚阈值工作电压进行标准单元库设计时,首要工作是选择合适的库单元,既能够保证单元种类,有能够保证电路稳定性。

在进行库单元种类选择时,允许晶体管串联数目定为 3 级^[4-5],库单元的种类大致分为以下类型:组合逻辑、时序逻辑、时钟树逻辑、后端物理逻辑单元。

(1)组合逻辑:选用标准单元库中常用的 1-2 扇入逻辑,包括 INV, NAND2, AND2, NOR2, OR2, XOR。此外,还引入了 AOI22, OAI22, MX, NAND3, NOR3 五种多扇入逻辑。这些逻辑的使用,会大大减小电路面积,同时因为连线电容的减小,还可以进一步降低功耗。

(2)时序逻辑:选用 D-触发器单元,支持下降沿复位功能。

(3)时钟树逻辑:选用 CLKINV、CLKBUF 单元,用于构建时钟树网络。

(4)物理实现逻辑:选用 TIEHI、TIELOW、FILL 单元,用于后端物理实现。

3.3 库单元的结构选择

上述选用库单元在商用标准单元库中采用的电路结构,虽然在正常电压下都呈现出了良好的稳定性和性能,然而在低电压下,电路稳定性则呈现出较大的差异。有些库单元的稳定性依然较好,比如 INV, NAND2, NOR2, AND, OR, AOI22, OAI22 等;而有些库单元的结构稳定性则严重变差,不适宜在低电压下采用,比如 XOR, MX, DFFR 等。因此,必须对这类库单元进行结构调整。

在低电压下稳定性较差的电路结构主要包括以下三种:晶体管并联数目较多的结构、晶体管串联数目较多的结构、寄存器结构。这些结构在低电压的库单元设计中,应当极力避免。对低电压标准单元库结构^[6]的分析,对 INV, NAND2, NOR2 等简单库单元,直接采用静态互补 CMOS 结构;而复杂库单元 XOR, MX, DFF 采用如图 3 所示的电路结构。

3.4 库单元的晶体管尺寸设计

(1)反短沟效应

近/亚阈值工作电压下的晶体管的反短沟效应^[7],指出随着沟道长度 L 的变化,晶体管的开启电流呈现出先增加后减小的趋势,即存在最优的沟道长度。我们在进行晶体管尺寸设计时,总希望其能

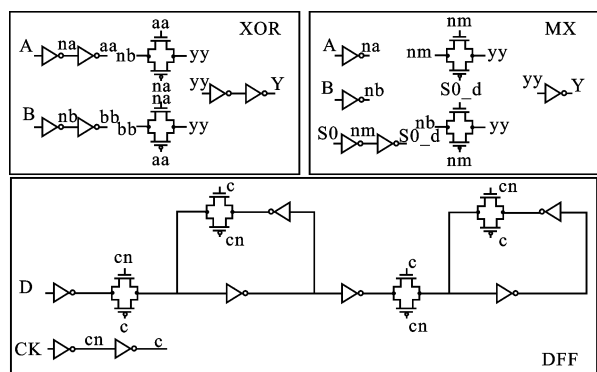


图3 库单元 XOR、MX、DFF 电路结构

够工作在驱动能力最强的状态,因此将合理利用反短沟效应,调整 L 到最优尺寸。

通过 hspice 仿真进一步研究发现,最优沟道长度是与沟道宽度相关的,可以看成是沟道宽度 W 的函数。图4给出了 NMOS 的最优沟道长度与沟道宽度的关系。原本的晶体管尺寸扫描是需要遍历 W 、 L 二维参量的变化,此时,通过引入反短沟效应的结论,转化为一维参量,大大减小了运算量。

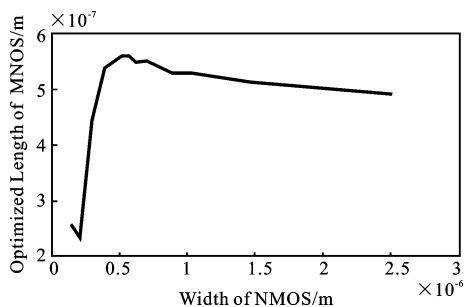


图4 NMOS 最优沟道长度与沟道宽度的关系

(2) 库单元的结构分析

在进行基本逻辑单元尺寸设计时,为保证其稳定性,需要保证在不同工作状态下,电路上拉网络、下拉网络的驱动能力^[8]的匹配性。进而分析这些单元的上拉网络、下拉网络的电路结构,发现它们主要由以下几种结构构成:NMOS、PMOS、两级串联的 NMOS、两级串联的 PMOS、三级串联的 NMOS、三级串联的 PMOS,每种结构包含开启、关断两种工作状态。如此以来,基本逻辑单元的每种工作状态都可以拆解为这几种结构的组合,库单元的稳定性原本取决于 PMOS 上拉网络与下拉网络之间驱动能力的匹配,而此时则转换为几种特征结构的组合比较。例如 NAND2 的 $A_0_B_0$ 状态,上拉网络由两个开启的 PMOS 构成,下拉网络由关断的 2 级串联 NMOS 构成。其 $A_0_B_0$ 工作状态的稳定性就取决于 $I_{on}(2 * \text{开启的 PMOS})/I_{off}(\text{关断的串联 NMOS})$,表示此

时的上拉网络相对于下拉网络的驱动能力优势;类似的, $A_1_B_1$ 工作状态的稳定性,就取决于 $I_{on}(\text{开启的 2 级串联 NMOS})/I_{off}(2 * \text{关断的 PMOS})$; $A_1_B_0$ 与 $A_0_B_1$ 工作状态的稳定性,近似转化为 $I_{on}(\text{开启的 PMOS})/I_{off}(\text{关断的 NMOS})$ 。

通过以上的拆解,基本逻辑单元的结构就转化为这几种特征结构的组合。通过对这几种结构的相对驱动能力分析,可以完成对库单元稳定性的初步判断,大致确定库单元能够接受的晶体管尺寸范围,从而缩小尺寸扫描分析时的运算量。

(3) 最优尺寸确定

基于上述对相对驱动能力分析,确定了晶体管尺寸设计的大致范围。接下来,在设定的尺寸范围内,分析不同尺寸组合下的的噪声容限,给出其稳定性的量化评价。在分析过程中,需要针对不同工作模式、不同工艺角,在不同的温度下,分别进行评价,给出最差的噪声容限情况,确保库单元在所有可能的情况下的单元稳定性。

在所有可选的尺寸组合中,衡量其面积、电容的大小。为简化起见,我们对每种组合下的所有晶体管的 WL 乘积进行累加,得到库单元的晶体管栅面积,在一定程度上反映了栅电容的大小。选择所有尺寸组合中的最小值,如此以来,可以保证功耗最小。

库单元尺寸确定之后,要对标准单元库进行版图设计。为支持数字设计 EDA 流程,标准单元库的版图设计,与普通版图设计稍有不同,主要表现为格点规则要求、统一库单元高度、半尺寸设计规则等。

4 测试结果

近/亚阈值标准单元库的设计方法,采用 smic130 nm CMOS 工艺,面向 0.30 V 的目标电压,设计了一套标准单元库,包含 15 种逻辑单元,共 61 个。

为验证标准单元库的稳定性,对标准单元库中的逻辑单元进行了流片。测试结果显示,库单元能够正常工作的最低电源电压为 90 mV,库单元的最低工作电压如图5所示。

为进一步验证定制标准单元库的稳定性,设计了验证芯片 FIR 滤波器,综合时调用了标准单元库的 15 种逻辑单元,采用 smic130 nm CMOS 工艺进行流片,FIR 验证芯片的测试平台如图6所示。

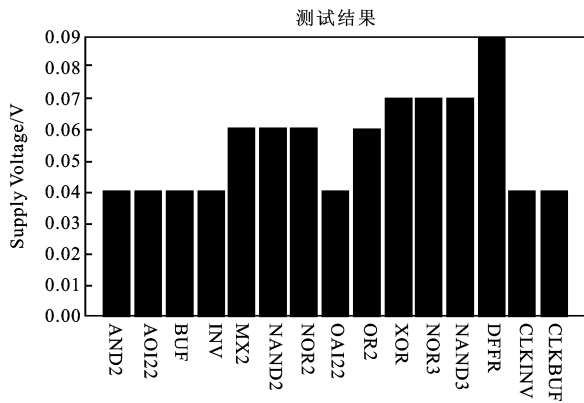


图5 定制标准单元库单元的最低工作电压

图6给出了8 bit、4阶FIR电路的系统能耗随电源电压的变化趋势^[9],动态能耗逐渐下降,静态能耗在低电压部分逐渐上升.系统的最优能耗点出现在0.25 V,能耗为150 nJ/cycle,工作时钟频率100 Hz.芯片的最低工作电压为0.18 V.

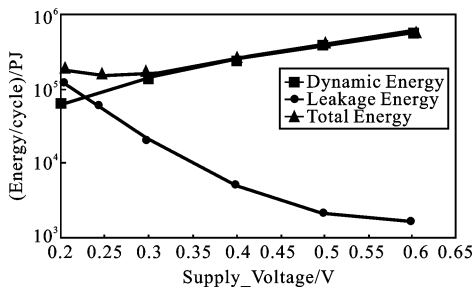


图6 FIR电路的系统能耗随电源电压的变化

5 结束语

对近/亚阈值电压下标准单元库的设计方法展开研究,在库单元的晶体管尺寸设计方面,采用相对驱动能力分析,大大降低了最优尺寸确定的工作量,改进了传统的最优尺寸设计方法.对定制的标准单元库进行流片测试结果表明库单元具有极高的稳定性,FIR电路能够正常工作的最低电源电压为180 mV,进一步验证了近/亚阈值标准单元库的稳定性,同时也验证了低电压数字电路设计方法的有效性.

参考文献:

[1] Calhoun B H, Wang A, Chandrakasan A. Modeling and sizing for minimum energy operation in subthreshold cir-

cuits[J]. IEEE J. Solid-State Circuits, 2005, 40(9): 1778-1786.

- [2] Calhoun B, Chandrakasan A. Characterizing and modeling minimum energy operation for subthreshold circuits [C] // International Symposium on Low-Power Electronics and Design (ISLPED) Digest of Technical Papers. California, USA, 2004: 90-95.
- [3] Wang A, Calhoun B H, Chandrakasan A. Sub-threshold design for ultra low-power systems [M]. New York: Springer, 2006.
- [4] Kwong J, Ramadass Y, Verma N. A 65nm sub-Vt microcontroller with integrated SRAM and switched capacitor DC-DC converter [J]. IEEE J. Solid-State Circuits, 2009, 44(1):115-126.
- [5] Bol D, Vos J, Hocquet C. Sleep Walker: a 25 MHz 0.4 V Sub-mm2 7 uW/MHz microcontroller in 65 nm LP-GP CMOS for low-carbon wireless sensor modes[J]. IEEE J. Solid-State Circuits, 2013, 48(1):115-126.
- [6] Wang A, Chandrakasan A. A 180 mV subthreshold FFT processor using a minimum energy design methodology [J]. IEEE J. Solid-State Circuits, 2005, 40(1): 310-319.
- [7] Qian Xie, Jun Xu, Yuan Taur. Review and critique of analytic models of MOSFET short-channel effects in sub-threshold[J]. IEEE Transactions on electron devices, 2012, 59(6):1569-1579.
- [8] Kwong J, Chandrakasan A. Variation-driven device sizing for minimum energy sub-threshold circuits [C] // Proc. Int. Symp. Low-Power. Electronics Design. USA, New York, 2006:8-13.
- [9] Wang A, Chandrakasan A. A 180 mV FFT processor using sub-threshold circuit techniques [C] // IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. USA, San Francisco, 2004:292-293.

作者简介:

商新超 男,(1989-),硕士研究生.研究方向为低功耗数字集成电路设计技术. E-mail:shangxinchao89@163.com.

袁甲 男,(1985-),博士研究生.研究方向为数字信号处理器的极低功耗技术.

张福海 男,(1965-),副教授.研究方向为集成电路设计、传感器与系统等.